

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-173152

(43) Date of publication of application : 26.06.1998

(51)Int.CI.

H01L 27/108
H01L 21/8242
H01L 21/316
H01L 21/318
H01L 21/3205
H01L 27/04
H01L 21/822

(21) Application number : 08-335257

(71)Applicant : HITACHI LTD
TEXAS INSTR JAPAN LTD

(22) Date of filing : 16.12.1996

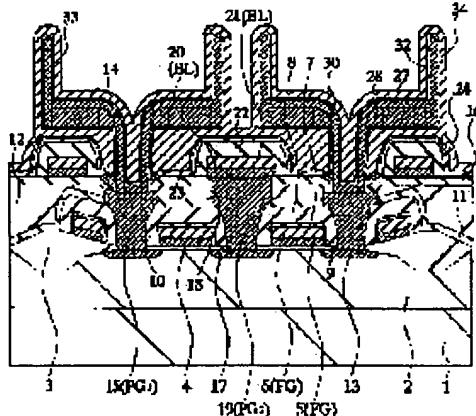
(72)Inventor : AOKI HIDEO
KAWAKITA KEIZO
SEKIGUCHI TOSHIHIRO
TADAKI YOSHITAKA
MATSUMAGA KATSUTOSHI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology for improving the production yield of a semiconductor integrated circuit device having a DRAM.

SOLUTION: Above memory cell selecting MISFETs, a BPSG film is formed to planarize stepped parts caused by gate electrodes FG. Above this BPSG film 12 a little stressed silicon nitride film of about 25nm thick is formed by the thermal CVD method at 770–800° C to thereby suppress the voids from growing in the BPSG film 12 and lessen the warp of a semiconductor wafer, thus suppressing the poor vacuum chucking of the semiconductor wafer in a semiconductor fabrication apparatus.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

(51)Int.Cl.⁶H 01 L 27/108
21/8242
21/316
21/318
21/3205

識別記号

F I

H 01 L 27/10 6 2 1 C
21/316 H
21/318 B
21/88 K
27/04 C

審査請求 未請求 請求項の数 5 O L (全 9 頁) 最終頁に続く

(21)出願番号

特願平8-335257

(22)出願日

平成8年(1996)12月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者 青木 英雄

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

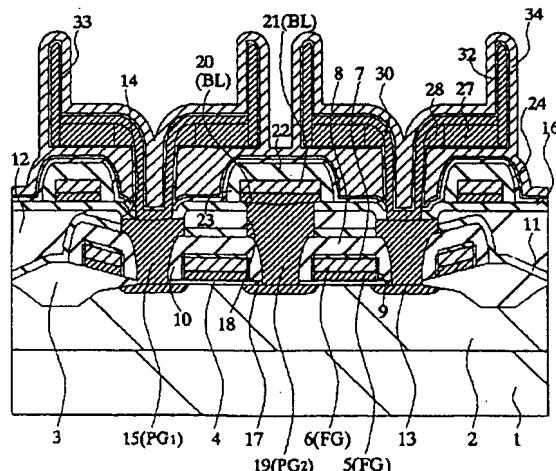
最終頁に続く

(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【課題】 D R A M を有する半導体集積回路装置の製造
歩留まりを向上することができる技術を提供する。【解決手段】 メモリセル選択用M I S F E Tの上方
に、ゲート電極F Gによる段差を平坦化するためのB P
S G膜1 2を形成し、その後、このB P S G膜1 2の上方に7 7 0 ~ 8 0 0 °Cの温度の熱C V D法によって厚さ
約2 5 n mの応力の小さい窒化シリコン膜2 4を形成す
ることにより、B P S G膜1 2中でのボイドの発生を抑
え、また、半導体ウエハの反りを小さくして半導体製造
装置における半導体ウエハの吸着不良の発生を抑える。

図 8



12 : B P S G 膜
24 : 窒化シリコン膜
FG : ゲート電極

【特許請求の範囲】

【請求項1】 メモリセル選択用MISFETの上方に情報蓄積用容量素子を配置したDRAMを有する半導体集積回路装置の製造方法であって、下記の工程(a)～(e)を有することを特徴とする半導体集積回路装置の製造方法、(a)前記メモリセル選択用MISFETの上方にBPSG膜を堆積した後、前記BPSG膜の表面を平坦化する工程、(b)前記メモリセル選択用MISFETの一方の半導体領域に接続されるピット線を形成する工程、(c)前記ピット線の上方に770～800℃の温度の熱CVD法によって厚さ20～40nmの窒化シリコン膜を堆積する工程、(d)前記メモリセル選択用MISFETの他方の半導体領域に接続される前記情報蓄積用容量素子の蓄積電極を形成する工程、(e)前記蓄積電極を形成する際に用いられたダミー酸化膜をウェットエッティングにより除去する工程。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法において、前記窒化シリコン膜は、アンモニアガスとジクロルシランガスを反応ガスに用いて成膜されることを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項1記載の半導体集積回路装置の製造方法において、前記窒化シリコン膜は、前記ダミー酸化膜をウェットエッティングにより除去する際のストップ層であることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項1記載の半導体集積回路装置の製造方法において、前記蓄積電極は、クラウン構造またはフィン構造であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 請求項1記載の半導体集積回路装置の製造方法において、前記ピット線の上部および側壁には酸化シリコン膜が形成されることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、情報蓄積用容量素子を有する半導体集積回路装置の製造方法に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の一つに、メモリセルがメモリセル選択用MISFET (Metal Insulator Semiconductor Field Effect Transistor) と情報蓄積用容量素子とで構成されたDRAMがある。しかし、DRAMは、その大容量化に伴いメモリセルの微細化が進み、情報蓄積用容量素子の蓄積電荷量が減少して、情報保持特性が低下するという問題がある。

【0003】 そこで、64Mbit以上のDRAMでは、情報蓄積用容量素子をピット線の上方に配置するキ

ヤパシタ・オーバー・ピットライン (Capacitor Over Bitline; COB) 構造とし、さらに、蓄積電極をクラウン構造またはフィン構造などの立体形状とすることにより、その表面積を大きくして蓄積電荷量の増大を図っている。

【0004】 なお、クラウン構造の蓄積電極については、たとえば、培風館発行「超LSIメモリ」平成6年11月5日発行、伊藤清男著、P19に記載がある。

【0005】 以下に、従来のクラウン構造の蓄積電極を有する情報蓄積用容量素子の製造方法を簡単に説明する。

【0006】 まず、メモリセル選択用MISFETを形成した後、半導体基板上に酸化シリコン膜およびBPSG (Boron Phospho Silicate Glass) 膜をCVD (Chemical Vapor Deposition) 法によって順次堆積し、次いで、900～950℃のリフロー処理により上記BPSG膜の表面を平坦化してメモリセル選択用MISFETのゲート電極による段差を平坦化する。

【0007】 次に、後に蓄積電極が接続されるメモリセル選択用MISFETの一方の第1のn型半導体領域上に、多結晶シリコン膜からなる第1のプラグ電極を形成し、次いで、後にピット線が接続されるメモリセル選択用MISFETの他方の第2のn型半導体領域上に、多結晶シリコン膜からなる第2のプラグ電極を形成する。

【0008】 次に、半導体基板上に多結晶シリコン膜およびタンゲステンシリサイド膜を順次堆積し、続いて、厚さ約200nmの窒化シリコン膜を堆積した後、これらの膜を順次エッティングすることにより、タンゲステンシリサイド膜および多結晶シリコン膜からなるピット線、ならびに、ピット線の上部に窒化シリコン膜からなるキャップを形成する。

【0009】 次に、半導体基板上に厚さ約100nmの窒化シリコン膜を堆積した後、この窒化シリコン膜をRIE (Reactive Ion Etching) 法で加工することによって、上記ピット線の側壁に窒化シリコン膜からなるサイドウォールスペーサを形成する。なお、上記キャップおよび上記サイドウォールスペーサを構成する窒化シリコン膜は熱CVD法によって形成され、反応ガスにアンモニア (NH_3) ガス+ジクロルシラン (SiH_2Cl_2) ガスを用いた750℃の温度で堆積される。

【0010】 次に、半導体基板上に厚さ約25nmの窒化シリコン膜を堆積する。この膜も上記キャップおよび上記サイドウォールスペーサを構成する窒化シリコン膜と同様に、熱CVD法によって形成され、反応ガスに NH_3 ガス+ SiH_2Cl_2 ガスを用いた750℃の温度で堆積される。

【0011】 次に、半導体基板上にBPSG膜をCVD法で堆積した後、このBPSG膜の表面を平坦化してピット線による段差を平坦化する。次いで、ピット線の上方に多結晶シリコン膜からなるクラウン構造の蓄積電極

を形成した後、この蓄積電極を形成する際に用いられたダミー酸化膜をフッ酸水溶液を用いたウエットエッチングで除去する。この際、厚さ約25nmの上記窒化シリコン膜がウエットエッチングのストップ層となる。

【0012】次いで、蓄積電極の表面に容量絶縁膜を堆積した後、プレート電極を形成して情報蓄積用容量素子が形成される。

【0013】

【発明が解決しようとする課題】しかしながら、前記製造方法によってクラウン構造の蓄積電極を形成するにあたり、以下の問題点があることを本発明者は見いだした。

【0014】すなわち、メモリセル選択用MISFETのゲート電極の上方には、ゲート電極による段差を平坦化するためのBPSG膜が設けられており、このBPSG膜の上方には、ビット線のキャップおよびサイドウォールスペーサを構成する窒化シリコン膜、ならびに、ダミー酸化膜をウエットエッチングで除去する際のストップ層となる窒化シリコン膜が堆積されている。

【0015】ところが、半導体基板上に熱CVD法によって上記窒化シリコン膜を堆積すると、上記BPSG膜中に多数のボイドが発生することが明らかとなった。このBPSG膜中のボイドは、窒化シリコン膜を堆積した後の堆積温度を下げる過程において窒化シリコン膜の引っ張り応力が生じ、この引っ張り応力によって窒化シリコン膜下のBPSG膜が持ち上げられるために発生すると考えられる。また、窒化シリコン膜を堆積する際に未反応の残留ガス、例えば、アンモニア(NH₃)または塩素(Cl₂)が窒化シリコン膜中に多く取り込まれ、さらに、これら未反応の残留ガスがBPSG膜へ拡散することによってもBPSG膜中のボイドは発生すると考えられる。

【0016】BPSG膜中のボイドが配線層と半導体基板とを接続するためのコンタクトホールを開口する領域にあると、配線層の被覆不良または導通不良が生じてしまう。また、半導体ウエハの表面に残る窒化シリコン膜の厚さが裏面に残る窒化シリコン膜の厚さよりも薄いため、半導体ウエハは凸状に大きく反る。このため、半導体ウエハを露光装置あるいはエッチング装置などの半導体製造装置のステージに装着する際に吸着不良が発生しやすく、吸着できた場合でも、例えば、露光装置においてはフォーカスがズれてコンタクトホールの開口不良または配線層の短絡、断線が発生してしまう。

【0017】本発明の目的は、DRAMを有する半導体集積回路装置の製造歩留まりを向上することができる技術を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】すなわち、本発明の半導体集積回路装置の製造方法は、まず、メモリセル選択用MISFETの上方にBPSG膜を堆積した後、このBPSG膜の表面を平坦化してゲート電極の段差を平坦化する。次に、メモリセル選択用MISFETの一方の半導体領域に接続されるビット線を形成した後、ビット線の上方に770～800°Cの温度の熱CVD法によって厚さ20～40nmの窒化シリコン膜を堆積する。次に、メモリセル選択用MISFETの他方の半導体領域に接続される情報蓄積用容量素子の蓄積電極を形成した後、蓄積電極を形成する際に用いられたダミー酸化膜をウエットエッチングにより除去し、情報蓄積用容量素子の容量絶縁膜およびプレート電極を順次形成する。

【0021】上記した手段によれば、ゲート電極の段差を平坦化するために設けられたBPSG膜の上方に堆積される窒化シリコン膜は、770～800°Cの温度の熱CVD法によって形成される厚さ20～40nmの薄い窒化シリコン膜であり、この窒化シリコン膜は以下の効果を有する。すなわち、

1. 膜厚が20～40nmと薄いので応力が小さい。

【0022】2. 比較的高温で成膜されるので応力が小さい。

【0023】3. 比較的高温で成膜されることによって窒化シリコン膜中のNH₃またはCl₂などの未反応の残留ガスが少なくなるので、窒化シリコン膜の膜質変動が小さく熱負荷による応力の変化が小さい。

【0024】4. 比較的高温で成膜されることによって窒化シリコン膜中のNH₃またはCl₂などの未反応の残留ガスが少なくなるので、BPSG膜へ拡散する未反応の残留ガスの量が少ない。

【0025】従って、BPSG膜に加わる窒化シリコン膜の応力が小さくなるので、BPSG膜中にボイドが発生しにくくなり、ボイド起因による配線層の被覆不良または導通不良を防ぐことができる。

【0026】さらに、半導体ウエハの表面に残る窒化シリコン膜の厚さと裏面に残る窒化シリコン膜の厚さとの差が小さくなるため、半導体ウエハの反り量が小さくなり、露光装置またはエッチング装置などの半導体製造装置において発生する半導体ウエハの吸着不良が減少する。これによって、微細加工が要求されるパターン、例えば、コンタクトホールまたは配線層の加工不良を防ぐことができる。

【0027】

【発明の実施の形態】以下、本発明の実施の形態を図1に基づいて詳細に説明する。

【0028】本発明の一実施の形態であるDRAMのメモリセルの製造方法を図1～図9を用いて説明する。な

お、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0029】まず、図1に示すように、p⁺型シリコン単結晶からなる半導体基板1の主面上に周知の方法でp型ウエル2、フィールド絶縁膜3およびゲート絶縁膜4を順次形成する。

【0030】次に、半導体基板1上にリン(P)が導入された多結晶シリコン膜5、タングステンシリサイド(WSi₂)膜6、酸化シリコン膜7および窒化シリコン膜8をCVD法によって順次堆積する。その後、フォトレジストをマスクにして窒化シリコン膜8、酸化シリコン膜7、WSi₂膜6および多結晶シリコン膜5からなる積層膜を順次エッチングすることにより、WSi₂膜6および多結晶シリコン膜5からなるメモリセル選択用MISFETのゲート電極FGを形成する。

【0031】次に、半導体基板1に熱酸化処理を施すことによって、ゲート電極FGを構成するWSi₂膜6および多結晶シリコン膜5の側壁に薄い酸化シリコン膜9を形成する。

【0032】その後、半導体基板1上に堆積された窒化シリコン膜10をRIE法などの異方性エッチングで加工することによって、上記積層膜の側壁にサイドウォールスペーサを形成する。

【0033】次に、図2に示すように、半導体基板1上に酸化シリコン膜11およびBPSG膜12をCVD法によって順次堆積した後、900～950℃のリフロー処理により上記BPSG膜12の表面を平坦化し、次いで、半導体基板1上にPが導入された多結晶シリコン膜(図示せず)をCVD法によって堆積する。

【0034】その後、フォトレジストをマスクにしてこの多結晶シリコン膜、BPSG膜12、酸化シリコン膜11およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることにより、メモリセル選択用MISFETの一方の後に形成される第1のn型半導体領域13上に第1のコンタクトホール14を形成する。次いで、n型不純物、例えばPをイオン注入し、メモリセル選択用MISFETの一方の第1のn型半導体領域13を形成する。

【0035】次に、半導体基板1上にPが導入された多結晶シリコン膜15をCVD法によって堆積した後、この多結晶シリコン膜15およびBPSG膜12上の上記多結晶シリコン膜を順次エッチバックすることにより、上記第1のコンタクトホール14内に多結晶シリコン膜15からなる第1のプラグ電極PG₁を形成する。

【0036】次に、半導体基板1上に厚さ50nmの酸化シリコン膜16をCVD法によって堆積する。次いで、フォトレジストをマスクにして酸化シリコン膜16、BPSG膜12、酸化シリコン膜11およびゲート絶縁膜4と同一層の絶縁膜を順次エッチングすることに

より、メモリセル選択用MISFETの他方の後に形成される第2のn型半導体領域(17)上に第2のコンタクトホール18を形成する。

【0037】次に、図3に示すように、半導体基板1上にPが導入された多結晶シリコン膜19をCVD法によって堆積した後、この多結晶シリコン膜19をエッチバックすることにより、上記第2のコンタクトホール18内に多結晶シリコン膜19からなる第2のプラグ電極PG₂を形成する。

【0038】次いで、半導体基板1上にPが導入された多結晶シリコン膜20、WSi₂膜21および酸化シリコン膜22をCVD法によって順次堆積した後、フォトレジストをマスクにして酸化シリコン膜22、WSi₂膜21および多結晶シリコン膜20からなる積層膜を順次エッチングすることにより、WSi₂膜21および多結晶シリコン膜20からなるビット線BLを形成する。なお、酸化シリコン膜22、WSi₂膜21および多結晶シリコン膜20の膜厚は、例えば、それぞれ150nm、80nmおよび70nmである。

【0039】その後、半導体基板1上に堆積された厚さ100nmの酸化シリコン膜23をRIE法などの異方性エッチングで加工することによって、上記積層膜の側壁にサイドウォールスペーサを形成する。

【0040】なお、多結晶シリコン膜19に導入されたPの拡散によってメモリセル選択用MISFETの他方の第2のn型半導体領域17は形成され、ビット線BLは第2のコンタクトホール18を通じて、メモリセル選択用MISFETの第2のn型半導体領域17に接続される。

【0041】次に、図4に示すように、半導体基板1上に窒化シリコン膜24を熱CVD法によって堆積する。この際、窒化シリコン膜24は反応ガスにNH₃ガス+SiH₂Cl₂ガスを用いた770～800℃の温度で形成され、その厚さは約25nmである。続いて、半導体基板1上にBPSG膜25をCVD法によって堆積した後、900～950℃のリフロー処理により上記BPSG膜25の表面を平坦化し、次いで、半導体基板1上に酸化シリコン膜26を堆積する。その後、半導体基板1上に厚さ約70nmのPが導入された多結晶シリコン膜27をCVD法によって堆積し、次いで、フォトレジストをマスクにしてこの多結晶シリコン膜27をエッチングする。

【0042】次に、図5に示すように、半導体基板1上にPが導入された多結晶シリコン膜28をCVD法によって堆積した後、この多結晶シリコン膜28をRIE法などの異方性エッチングで加工することによって、上記多結晶シリコン膜27の側壁にサイドウォールスペーサを形成する。次いで、酸化シリコン膜26、BPSG膜25、窒化シリコン膜24および酸化シリコン膜16を順次エッチングすることにより、第1のコンタクトホー

ル14内に設けられた第1のプラブ電極PG1上に第3のコンタクトホール29を形成する。その後、半導体基板1上にPが導入された多結晶シリコン膜30および厚さ約500nmの酸化シリコン膜31をCVD法によって順次堆積する。

【0043】次に、図6に示すように、フォトレジストをマスクにして酸化シリコン膜31および多結晶シリコン膜30、27を順次エッチングした後、半導体基板1上に厚さ約100nmのPが導入された多結晶シリコン膜32をCVD法によって堆積する。

【0044】次いで、この多結晶シリコン膜32をRIE法などの異方性エッチングで加工することによって、上記酸化シリコン膜31および多結晶シリコン膜30、27の側壁に円筒型の多結晶シリコン膜32を残す。

【0045】続いて、図7に示すように、例えば、フッ酸水溶液を用いたウェットエッチングによって、酸化シリコン膜31、酸化シリコン膜26およびBPSG膜25のダミー酸化膜を除去し、多結晶シリコン膜32、30、28、27からなるクラウン構造の蓄積電極を形成する。

【0046】次に、図8に示すように、上記蓄積電極の表面に厚さ約30nmの非晶質の酸化タンゲステン(Ta₂O₅)膜33をCVD法によって堆積した後、半導体基板1に熱酸化処理を施すことによって、Ta₂O₅膜33を結晶化する。その後、半導体基板1上に窒化チタン(TiN)膜34をCVD法によって堆積し、次いで、フォトレジストをマスクにしてこのTiN膜34をエッチングすることにより、TiN膜34からなるプレート電極を形成する。

【0047】その後、図9に示すように、半導体基板1上に酸化シリコン膜35およびBPSG膜36をCVD法によって順次堆積した後、900～950℃のリフロー処理により上記BPSG膜36の表面を平坦化する。次いで、フォトレジストをマスクにしてBPSG膜36および酸化シリコン膜35を順次エッチングすることにより、第4のコンタクトホール(図示せず)を形成する。

【0048】次に、半導体基板1上に、例えば、チタン(Ti)膜、窒化チタン(TiN)膜、アルミニウム(AI)合金膜および窒化チタン(TiN)膜を順次堆積した積層構造の金属膜を形成した後、この積層構造の金属膜をフォトレジストをマスクにしてエッチングすることにより、第1配線層37を形成する。

【0049】次に、半導体基板1上にTEOS(Tetra Ethyl Ortho Silicate; Si(O₂H₅)₄)をソースとしたプラズマCVD法によって酸化シリコン膜を堆積し、続いて、半導体基板1上にSOG(Spin On Glass)膜を塗布する。その後、このSOG膜をRIE法によってエッチバックして平坦化処理を施し、次いで、再度TEOSをソースとしたプラズマCVD法によって酸化シリコン膜を堆積することにより、3層構造の層間絶縁膜38を設ける。その後、フォトレジストをマスクにして上記層間絶縁膜38をエッチングし、スルーホール(図示せず)を形成する。

【0050】次に、半導体基板1上に、例えば、Ti膜、TiN膜、AI合金膜およびTiN膜を順次堆積した積層構造の金属膜を形成した後、この積層構造の金属膜をフォトレジストをマスクにしてエッチングすることにより、第2配線層39を形成する。

【0051】最後に、半導体基板1の表面をパッシベーション膜(図示せず)で被覆することにより、本実施の形態のDRAMのメモリセルが完成する。

【0052】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0053】たとえば、前記実施の形態では、クラウン構造の蓄積電極に適用した場合について説明したが、フィン構造の蓄積電極にも適用可能である。

【0054】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0055】本発明によれば、BPSG膜中のボイドの発生を抑えることによって配線層の被覆不良または導通不良を防ぐことができ、また、半導体製造装置における半導体ウエハの吸着不良の発生を抑えることによって微細パターンの加工不良を防ぐことができるので、半導体集積回路装置の製造歩留まりを向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態であるDRAMのメモリセルの製造方法を示す半導体基板の要部断面図である。

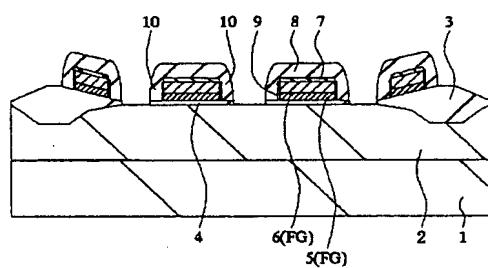
【符号の説明】

9

- 1 半導体基板
- 2 p型ウエル
- 3 フィールド絶縁膜
- 4 ゲート絶縁膜
- 5 多結晶シリコン膜
- 6 タングステンシリサイド (WSi₂) 膜
- 7 酸化シリコン膜
- 8 窒化シリコン膜
- 9 酸化シリコン膜
- 10 窒化シリコン膜 (サイドウォールスペーサ)
- 11 酸化シリコン膜
- 12 BPSG膜
- 13 第1のn型半導体領域
- 14 第1のコンタクトホール
- 15 多結晶シリコン膜
- 16 酸化シリコン膜
- 17 第2のn型半導体領域
- 18 第2のコンタクトホール
- 19 多結晶シリコン膜
- 20 多結晶シリコン膜
- 21 タングステンシリサイド (WSi₂) 膜
- 22 酸化シリコン膜

【図1】

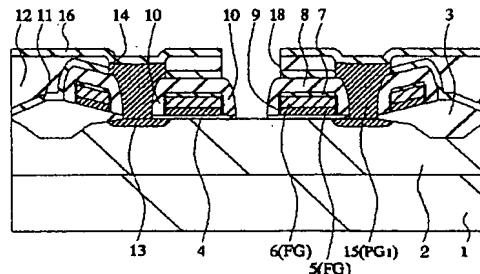
図 1



- 23 酸化シリコン膜 (サイドウォールスペーサ)
- 24 窒化シリコン膜
- 25 BPSG膜
- 26 酸化シリコン膜
- 27 多結晶シリコン膜
- 28 多結晶シリコン膜 (サイドウォールスペーサ)
- 29 第3のコンタクトホール
- 30 多結晶シリコン膜
- 31 酸化シリコン膜
- 10 32 多結晶シリコン膜
- 33 酸化タングステン (Ta₂O₅) 膜
- 34 窒化チタン (TiN) 膜
- 35 酸化シリコン膜
- 36 BPSG膜
- 37 第1配線層
- 38 層間絶縁膜
- 39 第2配線層
- FG ゲート電極
- PG₁ 第1のプラグ電極
- PG₂ 第2のプラグ電極
- BL ピット線

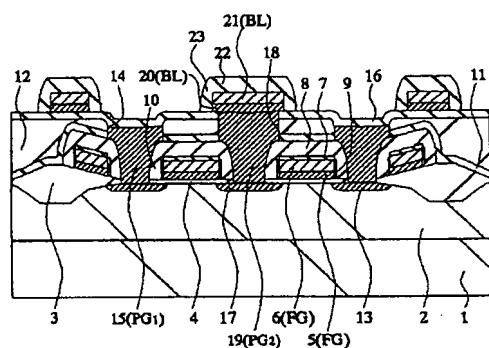
【図2】

図 2



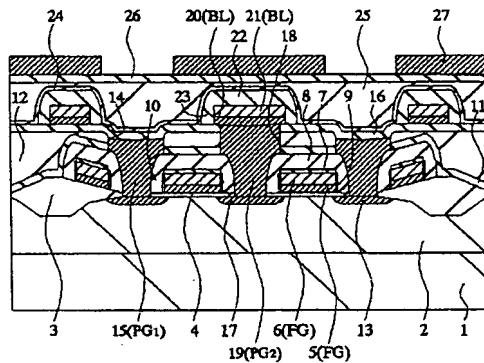
【図3】

図 3



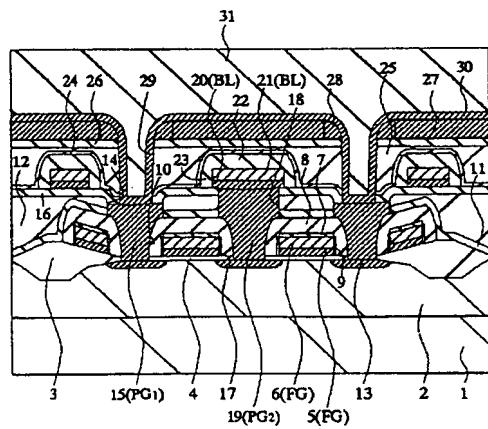
【図4】

図 4



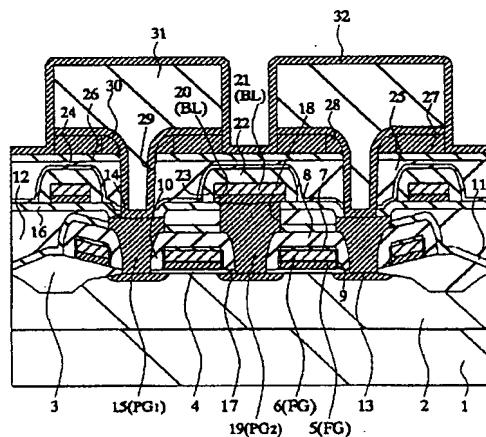
【図5】

図 5



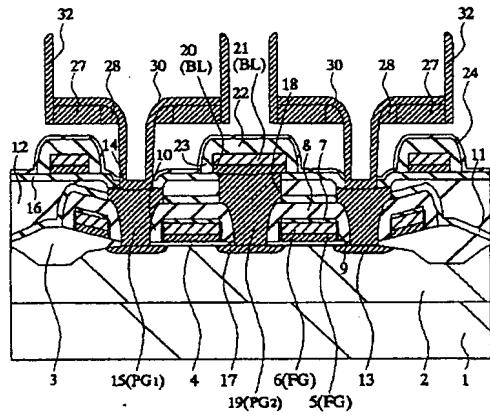
【図6】

図 6



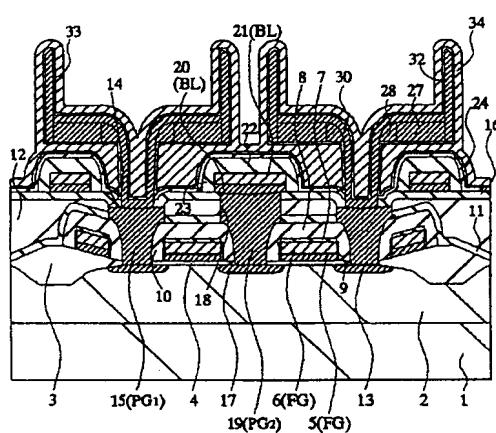
【図7】

図 7



【図8】

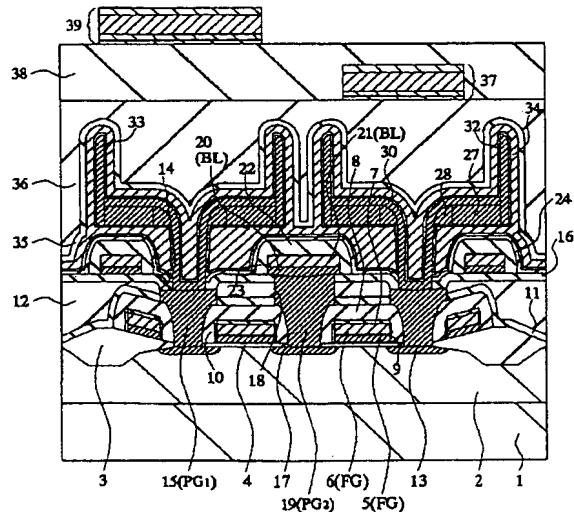
図 8



12 : BPSG膜
24 : 塩化シリコン膜
FG : ゲート電極

【図9】

図 9



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 01 L 27/04

21/822

(72)発明者 川北 恵三
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 関口 敏宏
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 只木 ▲芳▼▲隆▼
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72)発明者 松永 勝稔
茨城県稲敷郡美浦村木原2350 日本テキサ
ス・インスツルメンツ株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.